

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03147376 A**(43) Date of publication of application: **24 . 06 . 91**

(51) Int. Cl. **H01L 29/94**  
**H01L 27/04**

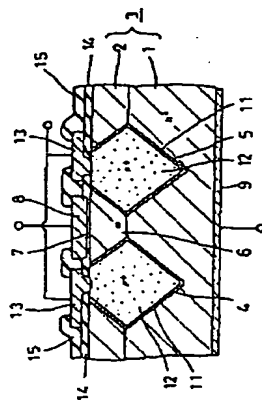
(21) Application number: **01284951**(71) Applicant: **NISSAN MOTOR CO LTD**(22) Date of filing: **02 . 11 . 89**(72) Inventor: **NOJIRI HIDETOMO****(54) VARIABLE CAPACITANCE ELEMENT****(57) Abstract:**

**PURPOSE:** To improve the extension of a depletion layer into an element region thereby enabling the maximum readout capacitance to be taken large even if the shape of an electrode such as a surface electrode, etc., is not enlarged and the occupancy area of an element to be decreased by forming an element region in the shape of an inverted triangle for cross section, and forming a buried electrode at the slant of its inverted triangle.

**CONSTITUTION:** Grooves 4 and 5, whose cross sections are rhombic, are made a specified interval apart by etching at the main face of a semiconductor substrate 3, and by these two grooves 4 and 5, an element region 6 whose cross section is an inverted triangle is made. And at the surface of the element region 6, the surface electrode 8 as a capacitance readout electrode is made through an oxide film 7, and MOS type structure is made of these oxide film 7, surface electrode 8 and rear electrode 9. Moreover, inside both grooves 4 and 5 are made silicon oxide films 11, and further inside them are made buried electrodes 12 as bias application electrodes consisting of P<sup>+</sup> polysilicon. By this constitution, the extension of a depletion layer into the element region becomes good, and even if the shape of an electrode

such as a surface electrode, etc., is not enlarged, the maximum readout capacitance can be taken large.

COPYRIGHT: (C)1991,JPO&amp;Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-147376

⑮ Int. Cl.<sup>3</sup>

H 01 L 29/94  
27/04

識別記号

C  
C

庁内整理番号

7638-5F  
7514-5F

⑬ 公開 平成3年(1991)6月24日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 可変容量素子

⑯ 特 願 平1-284951

⑰ 出 願 平1(1989)11月2日

⑱ 発 明 者 野 尻 秀 智 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社  
内

⑲ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑳ 代 理 人 弁理士 三好 秀和 外1名

#### 明 細 書

##### 1. 発明の名称

可変容量素子

##### 2. 特許請求の範囲

印加バイアス電圧を可変することにより半導体基板内に広がる空乏層を可変するバイアス印加電極と、該バイアス印加電極で可変される空乏層を可変容量として読出す容量読出し電極とを備えた可変容量素子において、

前記半導体基板の主面に結晶面選択エッチングを含むエッチングにより所要間隔をおいて2個の溝を形成することにより当該2個の溝の間に断面三角形の素子領域を形成し、該素子領域の表面に表面電極を形成し、前記2個の溝内にはそれぞれ埋込電極を形成し、前記表面電極及び埋込電極の何れか一方を前記バイアス印加電極とし、何れか他方を前記容量読出し電極としてなることを要する可変容量素子。

発明の詳細な説明

発明の目的]

#### (産業上の利用分野)

この発明は、バイアス印加電極と容量読出し電極とを備え、バイアス印加電極に印加したバイアス電圧に応じて半導体内に広がる空乏層幅を容量読出し電極で可変容量として読出す可変容量素子に関する。

#### (従来の技術)

従来の可変容量素子としては、例えば第5図に示すようなものがある(特開昭58-25278号公報、同60-46077号公報、以下、これを第1の従来例という)。同図において、21はN型半導体基板であり、その主面には絶縁膜22を介して容量読出し電極23が形成され、裏面には裏面電極24が形成されている。また、容量読出し電極23の周囲における半導体基板21中には、P<sup>+</sup>拡散層25が形成され、その表面にバイアス印加電極26が形成されている。

そして、裏面電極24に対しバイアス印加電極26に負の直流バイアス電圧を印加すると、P<sup>+</sup>拡散層25の周辺の半導体基板21内に、その直

流バイアス電圧に応じた空乏層が拡がり、容量脱出し電極23の直下に張出される。この容量脱出し電極23の直下に張出された空乏層により当該容量脱出し電極23と裏面電極24との間に静電容量が発生し、この静電容量が容量脱出し電極23から可変容量として脱出される。

このように、この構造の可変容量素子は、直流バイアス電圧を印加する電極と可変容量を脱出す電極とを独立させることにより、電子回路の構成素子として用いる場合に回路設計の自由度を向上させるようになっている。

しかし、この従来例において最大脱出し容量を大きくするためには、基本的に容量脱出し電極23の面積を大きくする必要がある。このため、素子の占有面積が増大してコスト高を招くことになる。また、最小容量を小さくし、容量変化率を増大させるには空乏層を容量脱出し電極23の直下へ大きく張出させる必要がある。このためには半導体基板21内の不純物濃度を或る程度制御することに加えて、バイアス印加電極26に大きな

第2の従来例における縦溝内に形成して、第1の従来例の問題であった素子の占有面積の増大を解決することが考えられる。しかし、このような組合わせ構成としても、前述した素子特性のばらつきが大きくなるという第2の従来例の問題は解決することができない。

(発明が解決しようとする課題)

第1の従来例は、最大脱出し容量を大きくするためには、基本的に容量脱出し電極の面積を大きくする必要がある。このため素子の占有面積が増大してコスト高を招く。また、最小容量を小さくして容量変化率を増大させるためには、空乏層を容量脱出し電極の直下へ大きく張出させる必要がある。このため、バイアス印加電極に大きな逆バイアス電圧を印加しなければならず、低電圧動作を必要とする機器への適用が困難になるという問題がある。

また、第1、第2の従来例を組合わせ、第1の従来例におけるバイアス印加電極を第2の従来例における縦溝内に形成して、上記第1の従来例の

バイアス電圧を印加しなければならない。このため、低電圧動作を必要とする機器への適用が困難になる。

一方、第2の従来例として、第6図に示すようなものがある(特開昭63-15476号公報)。この従来例では、半導体基板27中のP<sup>+</sup>層28とN型層29で形成されるP<sup>+</sup>N接合で半導体基板27の深さ方向に空乏層が拡がり、この空乏層で静電容量が発生するようになっている。そしてP<sup>+</sup>N接合部の周囲に反応性イオンエッチングにより縦溝31を形成し、空乏層の横方向への拡がりを防止して、耐圧低下及び容量変化幅の低下を抑えるような構造になっている。

しかし、この従来例では、反応性イオンエッチングによる縦溝31の加工精度を十分制御することが困難であり、このため、素子特性のばらつきが大きくなって歩留りが低下するという問題がある。

また、第1、第2の従来例を組合わせることにより、第1の従来例におけるバイアス印加電極を

問題である素子の占有面積の増大を解決することが考えられる。しかし、このような組合わせ構成としても、素子特性のばらつきが大きくなり歩留りが低下するという第2の従来例の問題は解決することができない。

そこで、この発明は、容量脱出し電極の面積を大きくしなくても最大脱出し容量を大きくすることができて素子の占有面積を小さくすることができ、また低バイアス電圧で大きな容量変化を得ることができ、さらに特性のばらつきが小さく高歩留りで低コストを実現することのできる可変容量素子を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

この発明は上記課題を解決するために、印加バイアス電圧を可変することにより半導体基板内に拡がる空乏層を可変するバイアス印加電極と、該バイアス印加電極で可変される空乏層を可変容量として脱出す容量脱出し電極とを備えた可変容量素子において、前記半導体基板の主面に結晶面

イオンエッチングにより2つの間に、素子領域の素子領域内には、電極及び埋込電極としてなること(作用)素子領域は、そのこの埋込電極として、肝となっても最大た、低バができる逆三層を含むので、

部にP<sup>+</sup>として、電極12とされて保護用、次の素子、まず、その形成、基板3500トエッチの所定のこのはCBエッチング、成する溝1HFと

一致し、特性のばらつきが小さくなって高歩留りが得られる。

#### (実施例)

以下、この発明の実施例を第1図ないし第4図に基づいて説明する。

まず、第1図を用いて、可変容量素子の構成を説明すると、(100)結晶面のN<sup>+</sup>基板1上にエピタキシャル成長によりN型層2が形成されて(100)結晶面を表面とする半導体基板3が構成されている。半導体基板3の主面には、結晶面選択エッチングを含むエッチングにより、断面が菱形状の溝4、5が所要間隔をおいて形成され、この2個の溝4、5により断面逆三角形の素子領域6が形成されている。

そして、素子領域6の表面には酸化膜7を介して容量脱出し電極としての表面電極8が形成され、これらの酸化膜7、表面電極8及び半導体基板3の裏面に形成された裏面電極9によりMOS型構造が構成されている。また、両溝4、5の内面には酸化シリコン膜11が形成され、さらにその内

洗を経て、例えば飽水ヒドラジンをエッチング液とする結晶面選択エッチングにより溝17、18の内面を整形し、断面が菱形状の溝4、5を形成する。そして、この両溝4、5により、断面逆三角形の素子領域6を形成する。シリコンに対する結晶面選択エッチングは、(100)面のエッチング速度が(111)面に比べて300~600倍大きく、従ってエッチングは半導体基板3の表面と54.7°の角度をなす(111)面で停止する。この結果、溝4、5、即ち素子領域6の加工精度は、エッチングマスクの端部A点の位置精度によって決り、極めて高精度で且つ優れた再現性が得られる(同図C)。なお、A点の位置精度は、酸化シリコン膜16のパターニング精度で決まる。このため、素子領域6の部分の加工精度は、垂直の溝17、18を形成する際の反応性イオンエッチングの加工精度には殆んど影響されず、溝17、18の形状が例えば第3図のような形状であっても、常に高精度が維持される。

このあと、溝4、5内面の酸化処理、P<sup>+</sup>ポリ

シエッチングを含むエッチングにより所要間隔をおいて2個の溝を形成することにより当該2個の溝の間に断面逆三角形の素子領域を形成し、該素子領域の表面には表面電極を形成し、前記2個の溝内にはそれぞれ埋込電極を形成し、前記表面電極及び埋込電極の何れか一方を前記バイアス印加電極とし、何れか他方を前記容量脱出し電極としてなることを要旨とする。

#### (作用)

素子領域が断面逆三角形に形成され、埋込電極は、その逆三角形の傾斜面に形成されているので、この埋込電極及び表面電極の何れをバイアス印加電極としても、素子領域内への空乏層の延びが良好となって表面電極等の電極形状を大きくしなくても最大脱出し容量を大きくとることができ、また、低バイアス電圧で大きな容量変化を得ることができる。

また逆三角形の素子領域は、結晶面選択エッチングを含むエッチングにより高い加工精度が実現されるので、素子特性が設計値に対して極めて良好に

なる。P<sup>+</sup>ポリシリコンからなるバイアス印加電極としての埋込電極12が形成されている。埋込電極12は半導体基板3の表面部で電極13に接続されている。14は酸化シリコン膜、15は表面電極用のPSG膜である。

次に、第2図を用いて、溝4、5の形成による素子領域6の形成方法の一例を説明する。

まず、(100)面のシリコンN<sup>+</sup>基板を準備し、その上にN型層2をエピタキシャル成長により形成して(100)結晶面を表面とする半導体基板3を構成する。半導体基板3を熱酸化して約10nmの酸化シリコン膜16を形成し、フォトリソエッチング法によってその酸化シリコン膜16を所定領域を除去する(同図A)。

この酸化シリコン膜16をマスクにして、例えばB<sub>2</sub>F<sub>6</sub>をソースガスとする反応性イオンエッチングにより、2つの垂直の溝17、18を形成する(同図B)。

溝17、18内の突起や凹凸を除去するために、HNO<sub>3</sub>の混合液に浸漬した後、十分な水

シリコンの埋込みによる埋込電極12の形成、素子領域6の表面への酸化膜7の形成及び表面電極8の形成等を経て可変容量素子を完成する。

次に、上述のように構成された可変容量素子の作用を第4図を用いて説明する。

裏面電極9に対し埋込電極12に電極13を介して負の直流バイアス電圧を印加すると、酸化シリコン膜11に接している半導体基板3中に、その直流バイアス電圧に応じた空乏層19が広がる。このとき、素子領域6は断面が逆三角形の形状をしているので、比較的小バイアス電圧でも、その左右から広がった空乏層19はつながる。そして、この空乏層19で生じる容量が、容量読出し電極としての表面電極8と裏面電極9との間に生じる。このようにして、小バイアス電圧においても、表面電極8からは大きく変化した読出し容量が得られる。また、読出し電極としての表面電極8とバイアス印加電極としての埋込電極12とは独立しているので、回路設計の際に高い自由度が得られる。

くなる。

しかし、この実施例の構造では、前述のように高バイアス電圧時に、空乏層は大きく下方へ広がるため、大きな容量変化が得られる。

また、この実施例では、表面電極8及び埋込電極12部は、MOS型構造としたがPN接合構造としても、同様の作用が得られる。

さらに、この実施例の構造において、バイアス印加用の電極を従来の2端子型の可変容量素子として用い、読出し用の電極は容量モニタとして用いることもできる。そして、例えば受信機のチューニング機構に用いたとき、過大入力時の周波数変化等を検出し、バイアス電圧を変化させることによって周波数補正機能を生じさせることができる。

また、この実施例において、容量読出し電極にもバイアス電圧を印加することにより、これを周波数微調整用端子として用いることもできる。

【発明の効果】

以上説明したように、この発明によれば、その

なお、上述の実施例では、表面電極8を容量読出し電極として用い、埋込電極12をバイアス印加電極として用いたが、この逆に、埋込電極12を容量読出し電極として用い、表面電極8をバイアス印加電極として用いることもできる。そして、このような電極使用態様としたときは、空乏層は半導体基板3の表面から内部に向かって広がる。このとき、素子領域6は、その断面が逆三角形の形状をしているので、バイアス電圧が高くなるほど空乏層はより一層下方へ大きく広がる。従って、埋込電極12に接続された電極13から読出される容量値は、バイアス電圧が大きいときも大きく変化量が得られる。

一般に、半導体基板の主面に形成されたプレナ型、メサ型等の可変容量素子の容量Cとバイアス電圧Vとの関係は、

$$C \propto A \cdot V^{1/n}$$

A：接合面積、n：接合の濃度勾配で決まる定数で階段接合の場合はn=2

であり、バイアス電圧が高い程、容量変化は小さ

構成を半導体基板の主面に結晶面選択エッチングを含むエッチングにより所要間隔をおいて2個の溝を形成することにより当該2個の溝の間に断面逆三角形の素子領域を形成し、この素子領域の表面には表面電極を形成し、前記2個の溝内にはそれぞれ埋込電極を形成し、これら表面電極及び埋込電極の何れか一方をバイアス印加電極とし、何れか他方を容量読出し電極としたため、素子領域内への空乏層の延びが良好になって、表面電極等の電極形状を大きくしなくても最大読出し容量を大きくとることができて素子の占有面積を小さくすることができ、また、低バイアス電圧で大きな容量変化を得ることができる。

さらに、素子領域は結晶面選択エッチングを含むエッチングにより高い加工精度で再現性よく形成されるので、素子特性が設計値に対して極めて良好に一致し、素子特性のばらつきが小さくなって高歩留りで低コストを実現することができる。

#### 4. 図面の簡単な説明

第1図ないし第4図はこの発明に係る可変容量

(4)

容量  
イアス印  
電極12  
8をバイ  
、そして、  
空乏層は  
がる。こ  
角形の形  
なる段、  
従って、  
突出され  
も大きな

たプレー  
とバイア

決る定数

化は小さ

ッチング  
て2箇の  
間に断面  
領域の長  
内にはそ  
極及び埋  
とし、同  
素子領域  
面電極等  
し容量を  
を小さく  
で大きな

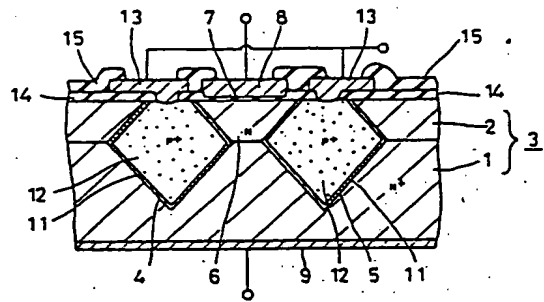
ングを食  
性よく形  
て極めて  
さくなっ  
できる。

可変容量

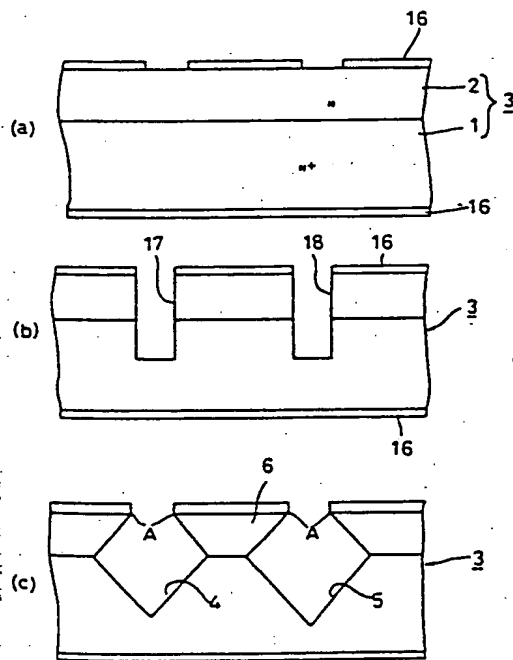
素子の実施例を示すもので、第1図は縦断面図、第2図は製造方法の一例を示す工程図、第3図は溝が高い加工精度で得られることを説明するための図、第4図は空乏層の拡がり方を説明するための図、第5図は可変容量素子の第1の従来例を示す縦断面図、第6図は第2の従来例を示す縦断面図である。

- 3: 半導体基板、 4、5: 溝、  
6: 素子領域、 8: 表面電極、  
12: 埋込電極、 19: 空乏層。

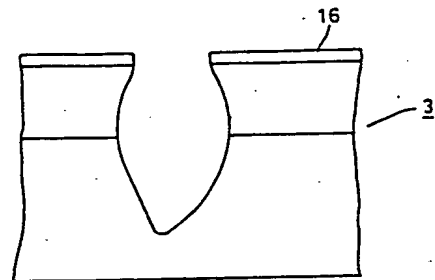
代理人 弁理士 三 好 秀 和



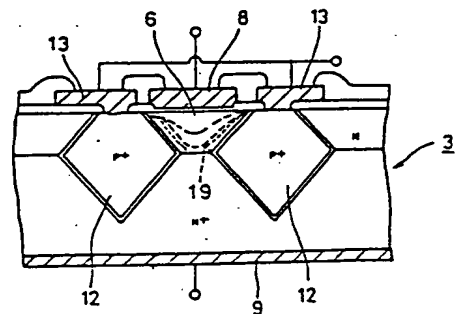
第1図



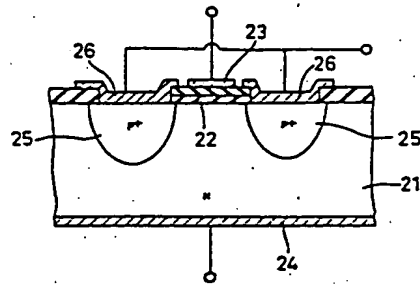
第2図



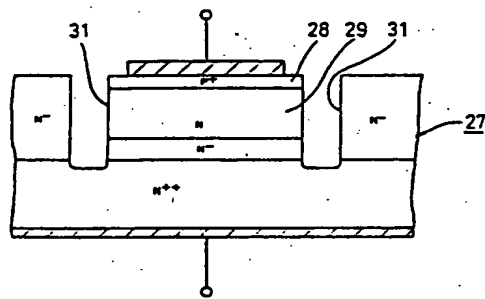
第3図



第4図



第 5 図



第 6 図

⑤  
⑦  
⑦  
⑦

1  
2  
つ  
層  
状  
特  
3  
(  
シ  
リ  
該  
後